

Keysight Technologies

W2309EP/ET DDRバスシミュレータおよび

W2317EP/ET DDRバスシミュレータ分散コンピューティング8パック

Data Sheet

はじめに

W2309EP/ET DDR(Double Data Rate)バスシミュレータにより、JEDEC半導体技術協会が公表したDDR4メモリバス仕様に従って、正確なビット・エラー・レート(BER)等高線、マスク、マージンをすばやく作成できます。

シミュレータは統計シミュレーションを使用するので、長くて時間のかかるビットパターンは不要になります。その代わりに、トランスミッター／チャンネル／レシーバーのインパルス応答や、理論的に無限の繰り返しのないビットパターンの確率特性に基づいて、アイダイアグラムが作成されます。これにより、SPICE互換のシミュレーションやコンボリューショナル・チャンネル・シミュレーションの制限されたビットパターンを使用した不安定なデュアルDiracモデル外挿に伴う問題を回避できます。

主な特長

- 任意の低BERレベルまでの厳密なDQ/DQSのアイの計算
- 内蔵ドライバーによるディエンファシスとレシーバーの連続時間リニア・イコライザー・モデル
- ドライバーとレシーバーの内蔵モデル、IBISモデル、回路モデルの組み合わせ
- 信号ライン間のクロストークを考慮
- 立ち上がりエッジと立ち下がりエッジの非対称性の捕捉
- 目標のBERでのJEDEC DDR4 Rxマスクに対する包括的なマージン測定
- デザイン空間探索および実験計画法のためのバッチシミュレーション
- コンピュータクラスタでのパラメータ掃引(オプション)

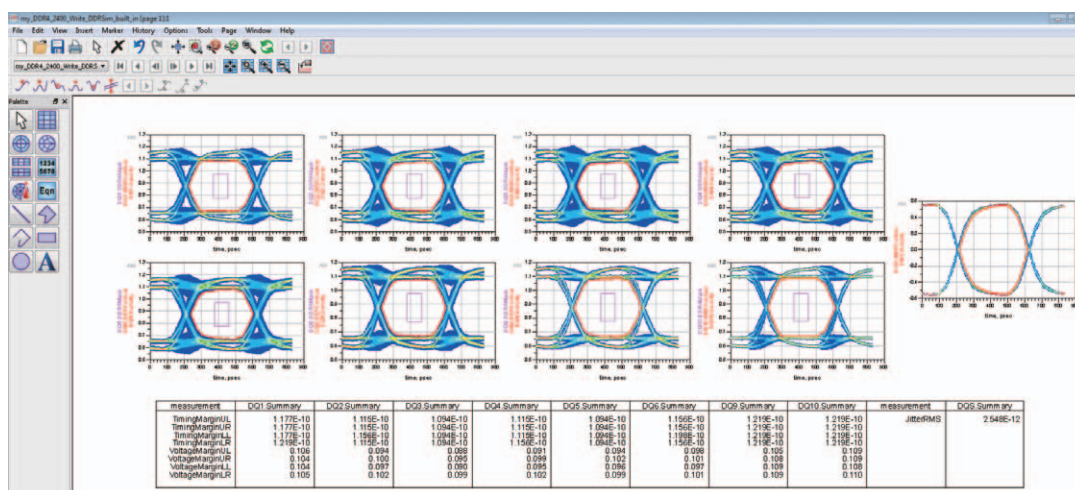


図1. バイトレーンのアイダイアグラム。

シミュレーション時間の短縮

個々のシミュレーションは高速なので、バッチモードで実行して、デザイン空間をすばやく探索することができます。また、W2317EP/ET DDRバスシミュレータ分散コンピューティング8パックを使用すれば、パラメータ掃引をコンピュータクラスタで実行できます。

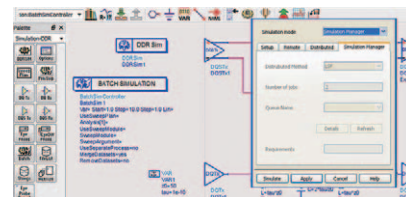


図2. DDRバッチシミュレーション。

厳密なDQ/DQSのアイの計算

DDRバスシミュレータでは、JEDECで仕様化された1E-16等高線を含め、低BERレベルまでの厳密なDQ (DDRデータ入力／出力)およびDQS (DDRデータストロブ)のアイの計算が可能で、クロストークや、立ち上がり遷移時間と立ち下がり遷移時間の非対称性が考慮されます。DDRバスシミュレータにより、選択したBER等高線とDDR4受信マスク仕様の間の包括的なタイミング／電圧マージンが得られます。

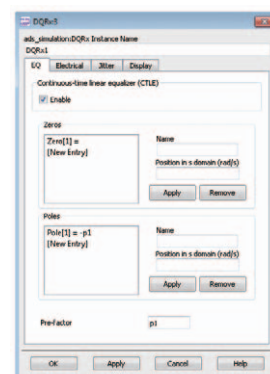


図3. 内蔵トランスミッターにはオプションのプリエンファシス機能があります。

内蔵モデル、IBISモデル、回路モデルを組み合わせ可能

この製品は、内蔵モデル、入出力バッファ情報仕様(IBIS)モデル、回路モデルの3つのICモデルタイプに対応しています。内蔵ドライバーとレシーバーはそれぞれ、ディエンファシスと連続時間リニアコライゼーション(CTLE)をモデリングできます。スキマティック内でさまざまなモデルタイプを組み合わせ使用できます。

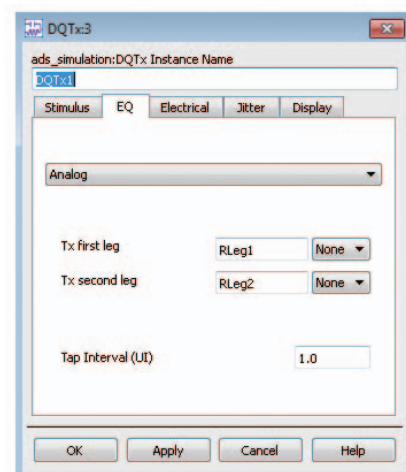


図4. 内蔵レシーバーにCTLE機能が含まれています。

myKeysight www.keysight.co.jp/find/mykeysight
ご使用製品の管理に必要な情報を即座に手に入れることができます。

www.keysight.co.jp/find/eesof

キーサイト・テクノロジー合同会社

本社 〒192-8550 東京都八王子市高倉町9-1

計測お客様窓口

受付時間 9:00-18:00 (土・日・祭日を除く)

TEL ☎ 0120-421-345 (042-656-7832)

FAX ☎ 0120-421-678 (042-656-7840)

Email contact_japan@keysight.com

ホームページ www.keysight.co.jp

記載事項は変更になる場合があります。
ご発注の際はご確認ください。