

Keysight Technologies

N4960A シリアルBERT 17および32 Gb/s

Data Sheet

最高32 Gb/sのトランシーバ特性評価／製造テストおよび開発向け
低価格ソリューション

16GFC、32GFC、100Gイーサネット、InfiniBand FDR、
InfiniBand EDR、高速SERDES



主な特長

- ・ フルデータレートのパターン発生とエラー検出
- ・ 校正済みストレス機能を備えた内蔵クロックソース
- ・ 選択可能なPRBSと一般的な電気通信／データ通信用テストパターン
- ・ フルプログラマブルのユーザー定義パターン
- ・ リモートヘッドによるDUTへの隣接設置と短いケーブルでの接続。ケーブルロスの影響を最小限に

予算の範囲内で必要な速度を実現

100Gイーサネットや16GFCトランシーバの検証には、13 Gb/s以上で動作するBERTが必要です。このため、複数のデザイナーがラボの1台のシリアルBERTを共有しなければならず、特性評価が遅れて、開発スケジュールに影響を与えることがあります。

N4960A BERTは、高速な遷移時間とリアルタイムに更新するBERカウント機能を備えています。さらに、固有ジッタは小さく、クロック周波数を連続的に設定可能で、5 ~ 32 Gb/sおよび4 ~ 17 Gb/sのデータレートに対応します。このため、高品質の信号が優れたアイの忠実度を実現し、測定確度を向上できます。

本製品はコンパクトなので、ラボや製造ラインで容易に持ち運ぶことができます。

小型アーキテクチャ

N4960A シリアルBERTシステムは、N4960Aクロックソース／コントローラ、リモート・パターン・ジェネレータ(N4951A/B)、エラー・ディテクタ・ヘッド(N4952A)から構成されています。コントローラは、リモート・パターン・ジェネレータとエラー・ディテクタ・ヘッドを精度の高いタイミングで制御するだけでなく、ジッタ注入機能を備え、スタンドアロンのクロックソースとして使用することも可能です。

DUTに隣接した信号入出力

N4965AマルチチャネルBERTコントローラで初めて導入されたリモートヘッド方式によって、パターンジェネレータとエラーディテクタを被試験デバイスの近くに配置することができるので、信号劣化の原因となる長いケーブルが不要になります。これは特に17 Gb/s以上で重要になります。

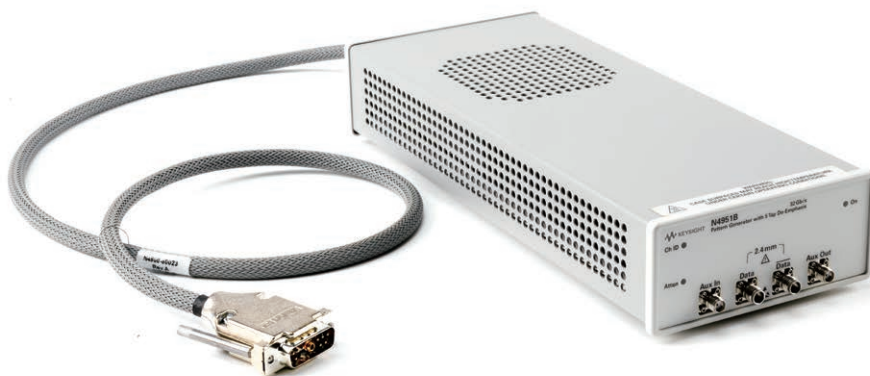


図1. DUTに隣接した信号入出力。

統合的な32 Gb/s動作

パターンジェネレータとエラー・ディテクタ・リモートヘッドには、以下の2種類のデータレート・バージョンがあります。

- ・ 17 Gb/sバージョンは4 ~ 17 Gb/sの範囲で動作します
- ・ 32 Gb/sバージョンは5 ~ 32 Gb/sの範囲で動作します

どちらのバージョンも、それぞれの帯域全体で動作し、ギャップや非対応のデータレートはありません。モデル／オプション番号の最後の2桁の17または32は、リモートヘッドのデータレート範囲を示します。例：

- ・ N4951A-P32パターンジェネレータは5 ~ 32 Gb/sの範囲で動作します
- ・ N4952A-E17エラーディテクタは4 ~ 17 Gb/sの範囲で動作します

リモートヘッドでは、外部マルチプレクサやディレイマッチングを使用せずに、フルレートのパターンを直接発生／テストすることができます。それぞれ、PRBSパターン長を選択できる他、一般的な電気通信、データ通信、クロック・ストレス・テスト・パターン(K28.5, CJPAT, CJTPAT, JSPAT, JTSPATなど)を発生できます。

パターン・ジェネレータ・ヘッドには、N4951AモデルとN4951Bモデルがあります。

アイの信号忠実度はきわめて優れています。振幅、オフセット、終端電圧のパラメータはユーザー設定可能です。

各N4960Aコントローラは以下をサポートしています	
リモートヘッドはサポートされません	
1×パターン・ジェネレータ・ヘッドのみ	
1×エラー・ディテクタ・ヘッドのみ	
1×パターン・ジェネレータおよび1×エラー・ディテクタ・ヘッド	
2×パターン・ジェネレータ・ヘッド	

17/32 Gb/s対応の柔軟性の高いオールインワン小型BERT

オールインワンのBERTが必要なアプリケーションは数多くあります。キーサイトでは、パターンジェネレータとエラーディテクタの両方を装備したオールインワンソリューションを、驚異的な低価格で提供しています。N4980Aマルチ測定器BERTソフトウェアと組み合わせることで、強力なBERTソリューションを実現できます。

もちろん、アプリケーションに必要な構成に応じて、エラーディテクタまたはパターンジェネレータを使用しないで動作させることも可能です。

別の方法として、2台のパターンジェネレータをコントローラに接続して、ジェネレータ間の遅延スキューをプログラムで制御して、I/Q変調器アプリケーションで使用することもできます。

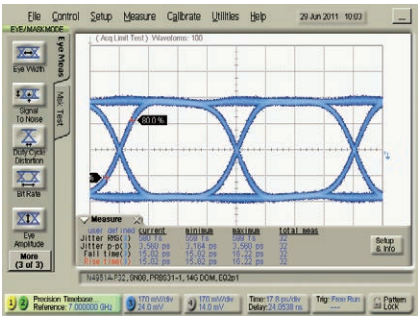


図2. 14 Gb/sの代表的なアイ。

N4951B-H17/-H32パターンジェネレータ 高振幅リモートヘッド

N4951B-H17/-H32は、外部増幅器を使用せずに、VCSEL、TOSA、光変調器を直接ドライブするための6 V差動出力を提供します。追加の信号接続や電源が不要なだけでなく、高電圧ドライバをパターンジェネレータに内蔵することにより、他のパターンジェネレータと同じユーザーインターフェースを用いて振幅を直接制御することができます。

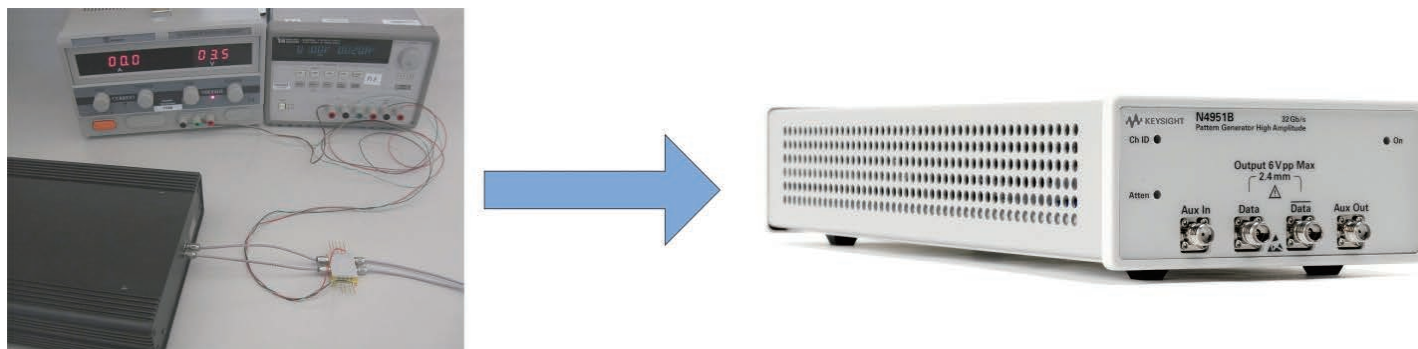


図3. 外部電源を備えた外部増幅器対N4951B-H17/-H32。

N4951Bパターンジェネレータは、立ち上がり／立ち下がり時間の向上と低固有ジッタ性能の実現により、サーバ、ラインカード、バックプレーン、通信用ICの特性評価要件にも対応します。

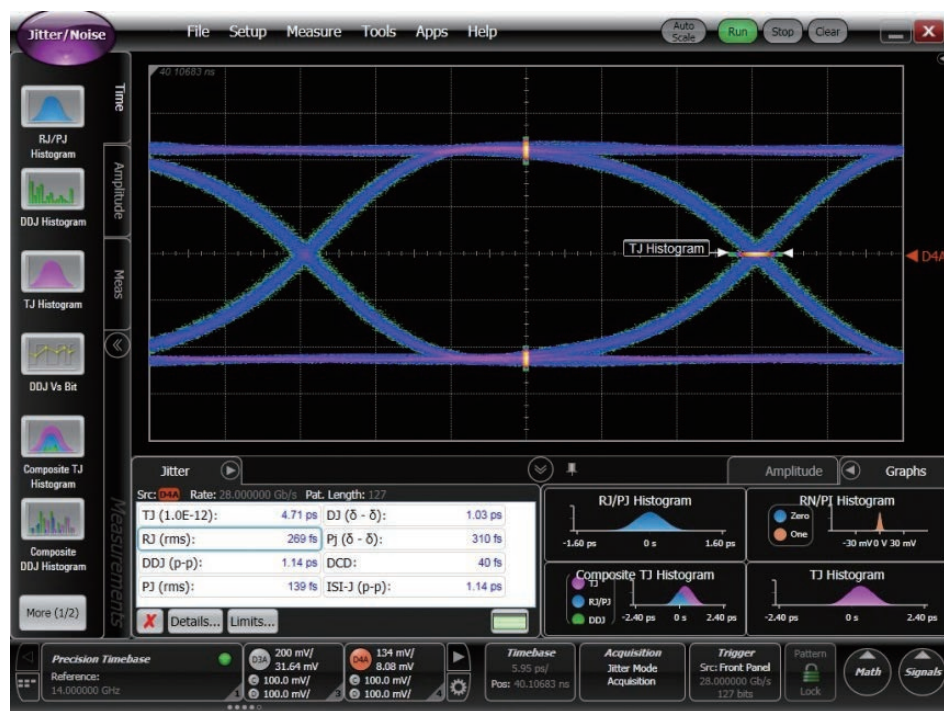


図4. N4951B-H32の28 Gb/s、6 Vp-p差動出力。

N4951B-D17/-D32パターンジェネレータ (5タップ・ディエンファシス・リモートヘッド付き)

N4951B-D17/-D32ディエンファシス・オプションには、17 Gb/sバージョンと32 Gb/sバージョンがあり、内蔵5タップ・ディエンファシス機能(1個のプリカーソル、3個のポストカーソル)を提供します。ディエンファシス・ヘッドは、レシーバ/バックプレーン/システムの評価でトランスミッタ・エミュレーション/イコライゼーションに必要な信号プリディストーション機能を提供します。

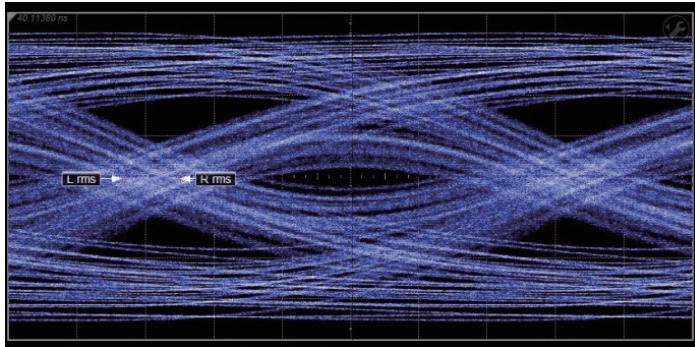


図5. ディエンファシスなし。

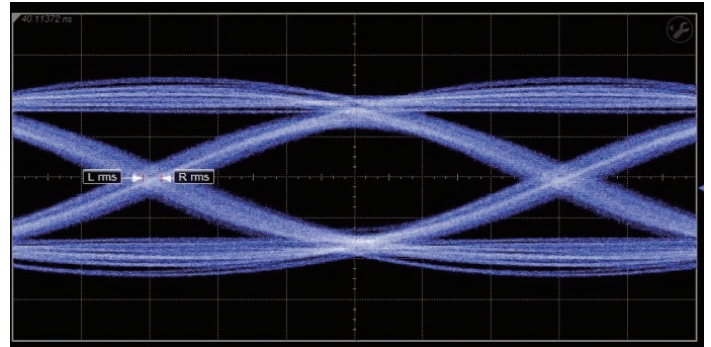


図6. ディエンファシス・イコライゼーションを適用。

タップ重み計算の簡素化

N4980Aマルチ測定器BERTソフトウェアには、タップ重みの計算プロセスを簡素化し、計算に要する時間を数秒にまで短縮する、強力なディエンファシス・タップ重み計算ツールが含まれています。ソフトウェアは、データパスの測定/シミュレーションSパラメータファイルから、理想の補正フィルタ応答を作成するために必要な最適なタップ値を計算します。ユーザーがタップ構成を制御できるので、プリカーソル/ポストカーソル・レンジの異なるさまざまなソリューションをシミュレーションできます。データの解析が終わり目的の結果が得られたら、ワンクリックで、計算されたタップ重みをN4951B-D17/-D32パターンジェネレータ・ヘッドに直接ロードできます。



図7. ディエンファシス・タップ重み計算機。

必要なストレスソースの選択

コントローラには、2種類のバージョンがあります。N4960A-CJ0は基本モデルであり、さまざまな光シリアルデータ・アプリケーションに適したシングルトーンの正弦波ジッタを注入します。設定可能な周波数と変調度のレンジに幅があり、ジッタ耐力テストや一般的なレシーバ評価が容易になります。

もっと複雑なストレスが必要なアプリケーション向けには、N4960A-CJ1があります。これは、2つの独立した正弦波ジッタ源と、広帯域の真のランダムジッタ源を備えています。複数のストレスジェネレータを使うことで、ランダムジッタと正弦波ジッタを組み合わせた低レベルのベースフロアを実現できます。さらに、すべてのクロック出力をスペクトラム拡散変調可能で、最大でクロック周波数の1.0 % (10,000 ppm)の偏移を設定可能です。

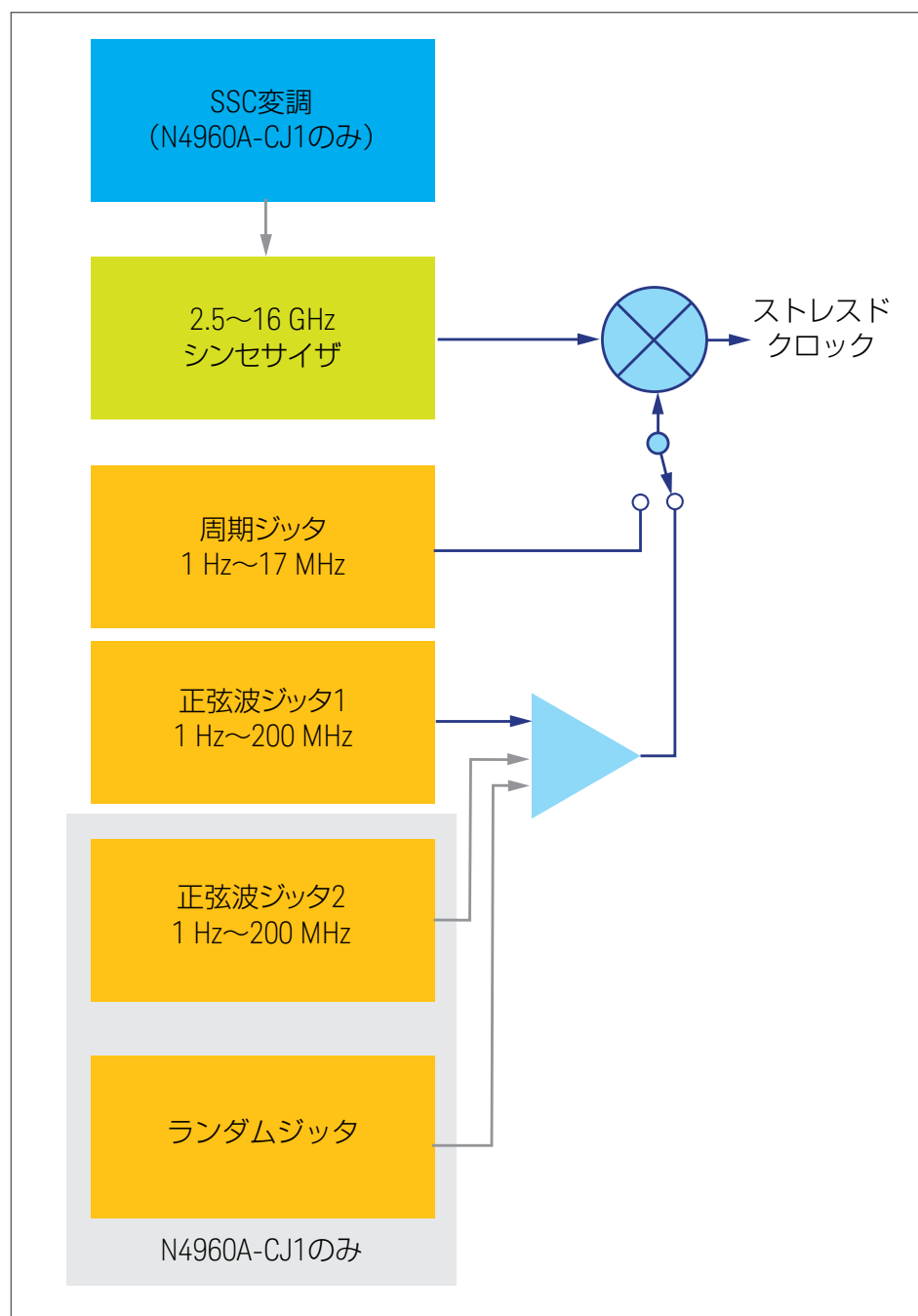


図8. ストレスソース。

制御インタフェース／ 解析ソフトウェアを内蔵

N4980Aマルチ測定器BERTソフトウェアは、N4960A シリアルBERTをサポートしています。この基本ソフトウェアは無償で、わかりやすいユーザーインタフェースを備えています。この基本ソフトウェアを使用すれば、シングルチャネルBER測定、マルチチャネルBER測定(チャネル数は無制限)やバスタブ測定などを実行できます。測定結果はプロット／保存することができ、全測定セットアップも保存可能です。オプションのジッタ耐力パッケージを使えば、シングル／マルチ・チャネル・ジッタ耐力測定機能が追加され、検索アルゴリズムを選択することもできます。マルチレーンデバイスのジッタ耐力テストを同時に実行することにより、各レーンを個別にテストするよりも時間を大幅に短縮でき、さらに、すべてのレーンにライブトラフィックが存在する実際の動作環境に近い条件でテストできます。JTOLテンプレート・エディタを用いれば、最も一般的な規格のテスト基準に適合するテンプレートを作成することができます。JTOLパッケージを使用するにはライセンスが必要です。

N4980Aマルチ測定器BERTソフトウェアを使用すれば、マルチチャネルBERT測定のセットアップ／実行も簡単です。マルチチャネルN4960Aの制御ウィンドウは、4台のN4960A BERTに対応するため、100GbEアプリケーションにおける同期／非同期チャネル・テスト時のセットアップや測定器の制御が容易です。



図9. N4980Aマルチ測定器BERTソフトウェア。



図10. N4980AマルチチャネルBER測定インタフェース。



図11. N4960Aマルチチャネル・ハードウェア構成。

プログラマブルパターン

特殊なパターン要件に対しては、N4980Aマルチ測定器制御ソフトウェアに内蔵された強力な編集ツールを使用して、最長8 Mbのプログラマブルパターンを容易に作成できます。作成したパターンは、N4960A シリアルBERTコントローラにアップロードできます。

プログラマブル・パターン・エディタは、パターンストリームの作成と管理に用いられます。パターンストリームは、単一または複数のサブパターンから構成されます。各サブパターンには、単一のパターン定義が含まれています。サブパターンを使用することで、複雑なパターンをブレイクダウンして容易に管理することができます。

サブパターンは、パターン編集ダイアログボックスを使用してビットレベルで編集できます。このダイアログボックスでは、特定のビットシーケンスの作成、表示、編集、検索が行えます。

パターン定義の完成後、検証し、N4960A シリアルBERTコントローラにアップロードすることができます。また、*.cpfファイルとしてPCに保存することもできます。

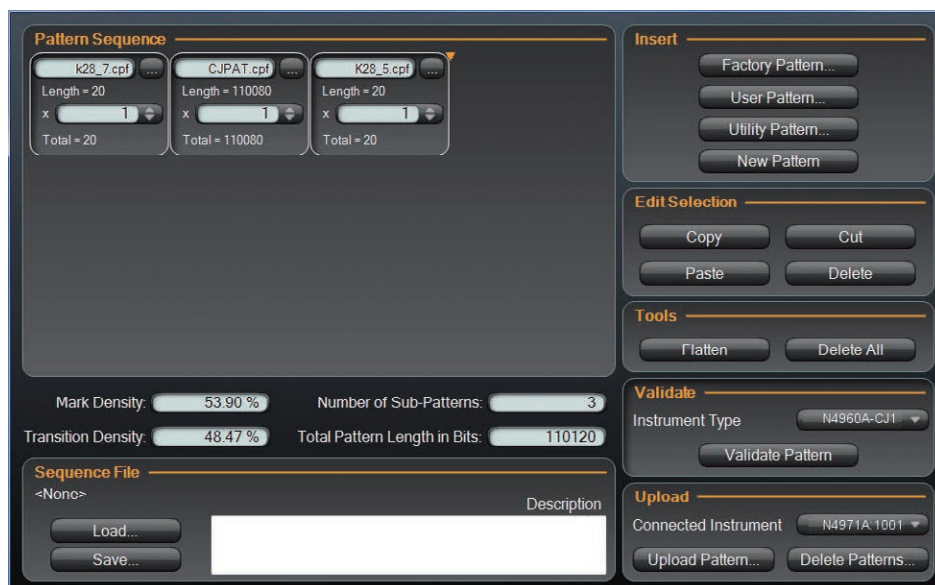


図12. プログラマブル・パターン・エディタ。

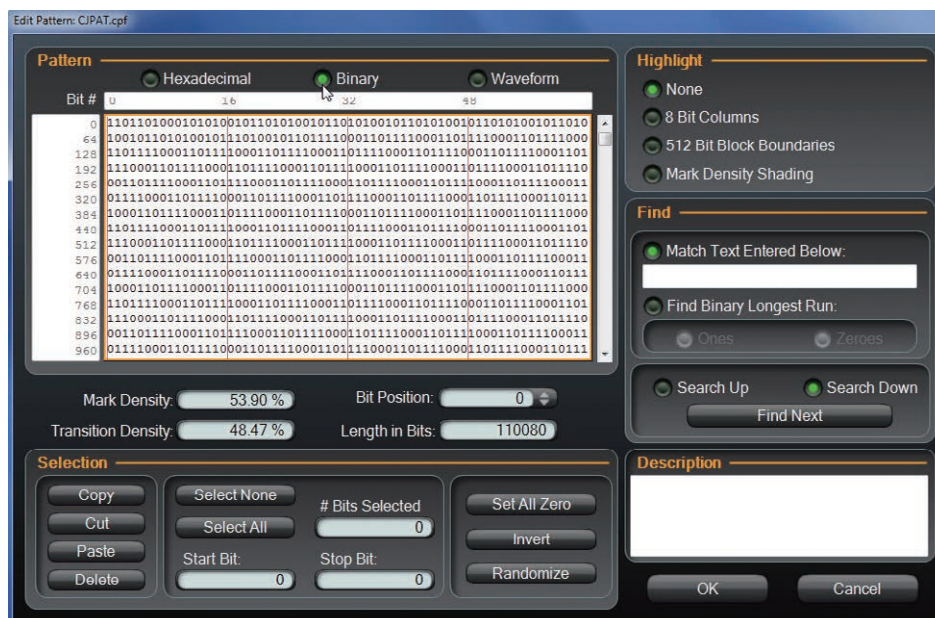


図13. サブパターン・エディタ。

汎用シリアル・データ・ クロック・ソース

N4960A シリアルBERTコントローラは、BERTソリューションだけではなく、クロックシンセサイザとしても使用できます。N4960Aをストレス印加ができない他のBERTと組み合わせて使用すれば、ジッタを印加できます。また、一般的なシリアルデータ特性評価アプリケーションにも使用できます。パターンジェネレータおよびエラー・ディテクタ・リモートヘッドを接続してBERTとして使用する場合は、BERT設定のほうがクロック出力の設定よりも優先されます。

3つのクロック出力

通常のBERTは、パターンジェネレータには、ジッタを印加してストレスをかけたクロックソースを使用し、エラーディテクタには、ジッタのない純度の高いクロックを使用します。エラーディテクタのサンプルポイントをアイの中心に保持するため、これらのクロック間の位相遅延を精密な時間分解能で調整する必要があります。N4960A シリアルBERTコントローラには、ジッタ信号と遅延信号の専用出力があります。さらに、サブレート基準が必要なアプリケーションや、サンプリング・オシロスコープのトリガに使用できる純度の高い分周クロック出力も用意されています。

各出力は差動信号として構成されていますが、未使用出力を終端しなくてもシングルエンドとしても使用できます。様々なアプリケーションに対応するため、3つの出力それぞれに対して、振幅、オフセット電圧、終端電圧、結合を独立に設定できます。

2つの独立したSJソース (N4960A-CJ0シリアル BERTコントローラに 1つのソース)

N4960A シリアルBERTコントローラでは、オプションによって1つ(N4960A-CJ0)または2つ(N4960A-CJ1)の高周波正弦波ジッタ(SJ)トーンをストレスソースとして選択できます。周波数と振幅(位相偏移)はユーザー設定可能です。SJソースは、ランダムジッタや外部から印加されるハイ・バンド・ジッタと合成されます。2つのSJソースの周波数レンジは1 Hz ~ 200 MHzで、変調レンジは最大1.0 UIです。



図14. クロック出力。

大ジッタ振幅のPJソース

低周波(大偏移)ストレス印加用に、別の変調経路が用意されています。この経路は、高周波帯域(小偏移)のストレス(SJ1、SJ2、RJ、外部小偏移)がすべてオフになっているときに使用できます。低周波経路は、内部PJ使用時は17 MHz以下、外部ソース使用時は4 MHz以下の低い変調周波数で動作します。変調源は、内部発生 of 正弦波(周期ジッタまたはPJ)または“Ext Jitter In”コネクタ経由で外部から供給される信号です。

真のランダム・ジッタ・ソース (N4960A-CJ1シリアルBERTコントローラ)

RJソースは、クレストファクタが14以上の真のガウシアン・ランダム・ジッタを供給します。フィルタリングされていないスペクトラム成分は、DCから高周波バンド変調器のパターンまでフラットです。変調器の-3 dB帯域幅は約320 MHzです。指定されたRJ周波数パターンが必要なアプリケーションには、RJ変調信号経路に外部フィルタを挿入することができます。スペクトラムの両端をフィルタリングする必要がある場合は、ローパスフィルタとハイパスフィルタの両方を直列に使用できます。

RJ変調は、経路にフィルタを挿入せずに校正されます。ただし、RJ経路にフィルタを挿入した場合、フィルタの減衰のために変調振幅が校正値より小さくなる可能性があります。

スペクトラム拡散クロック (N4960A-CJ1シリアル BERTコントローラ)

N4960A-CJ1シリアルBERTコントローラのメインシンセサイザは、スペクトラム拡散クロック(SSC)を実現するための変調が可能です。スペクトラム拡散クロックは、通常はストレスとして用いられるのではなく電磁波障害(EMI)を抑制する手法で、システムクロックのピークエネルギーを分散して、スペクトラムの帯域幅を広く拡散します。実際にはSSCは、デバイスのシステムクロックを、通常30 kHzまたは33 kHzの比較的低い周波数かつ大きい位相偏移で変調します。変調波形は通常三角波で、これによって、変調帯域内のパワースペクトラムが均一になります。SSCを採用したデバイスのトランスミッタをエミュレートするために、BERTのクロックシンセサイザはSSCを装備しています。SSC対応のデバイスをテストする際に、BERTまたはサンプリング・オシロスコープを正しくトラッキングできるように、N4960A-CJ1の3つのクロック出力(ジッタ、遅延、分周)はすべて同じSSC信号で変調されます。SSCの偏移レンジは0 ~ 1 % (1 % = 10,000 ppm)です。変調エンベロープは三角波です。変調周波数は1 Hz ~ 50 kHzの範囲で設定できます。さらに、変調方向を、クロック周波数設定を基準として、下、中央、上、の3つから、選択して設定できます。

大規模なストレス・パターン・ライブラリ

N4960A シリアルBERTコントローラには、光通信およびデータ通信のテスト用に、PRBS、分周クロック、JSPAT、JTSPAT、K28シリーズ、CJシリーズなどのストレスパターンのライブラリが付属しています。

ジッタ耐力テスト

キーサイトは、ジッタ耐力テスト向けに低価格のソリューションを提供しています。N4980Aマルチ測定器制御ソフトウェアを使えば、ジッタ耐力テストの効率を改善して、時間とコストを節約できます。

オプションのジッタ耐力測定パッケージ(N4980A-JTS)により、ジッタ耐力コンプライアンスと特性評価が行えます。ジッタ耐力セットアップパネルを使用して、短時間で容易にパラメータの設定ができます。



図15. N4980Aのジッタ耐力セットアップパネル。

テストした各正弦波ジッタポイントのBER測定結果をグラフに表示できます。右側のグラフの緑色のドットはレシーバが合格したポイントを示し、赤いX印は同期の問題を示し、茶色の+印はBERしきい値を超過したポイントを示します。

グラフのX軸はPJ/SJ周波数、Y軸はPJ/SJ振幅値を表します。コンプライアンステンプレートは破線で示されます。特定評価テストの下限値と上限値は、実線で示されます。

結果は表形式でも表示でき(図17)、ファイルに保存して後で解析することもできます。

ジッタ振幅値および周波数テストポイントはテンプレートファイルで定義されていて、マウスでクリックするか、数値フィールドに情報を入力するだけで簡単に編集できます(図18)。



図16. ジッタ耐力のグラフ表示。

Meas #	Detector	Jitter Freq	Jitter Ampl	# Bits	# Errors	BER	Result
1	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	12.50 UI				Failed (No Sync)
2	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	0.10 UI	2.999E+009	0.000E+000	0.000E+000	Passed
3	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	1.12 UI	4.614E+007	6.267E+006	1.358E-001	Failed (BER)
4	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	0.33 UI	2.999E+009	1.537E+008	5.125E-002	Failed (BER)
5	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	0.18 UI	2.999E+009	0.000E+000	0.000E+000	Passed
6	N4965A-200@G0:18.0 (Ch0)	10.000 kHz	0.23 UI	2.999E+009	0.000E+000	0.000E+000	Passed
7	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	12.50 UI				Failed (No Sync)
8	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	0.10 UI	2.999E+009	0.000E+000	0.000E+000	Passed
9	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	1.12 UI				Failed (No Sync)
10	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	0.33 UI	5.935E+008	3.005E+007	5.063E-002	Failed (BER)
11	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	0.18 UI	2.999E+009	0.000E+000	0.000E+000	Passed
12	N4965A-200@G0:18.0 (Ch0)	20.000 kHz	0.23 UI	2.999E+009	0.000E+000	0.000E+000	Passed
13	N4965A-200@G0:18.0 (Ch0)	100.000 kHz	4.60 UI				Failed (No Sync)
14	N4965A-200@G0:18.0 (Ch0)	100.000 kHz	0.10 UI	2.999E+009	0.000E+000	0.000E+000	Passed
15	N4965A-200@G0:18.0 (Ch0)	100.000 kHz	0.68 UI				Failed (No Sync)
16	N4965A-200@G0:18.0 (Ch0)	100.000 kHz	0.26 UI	4.907E+008	2.000E+000	4.076E-009	Failed (BER)
17	N4965A-200@G0:18.0 (Ch0)	100.000 kHz	0.16 UI	2.999E+009	0.000E+000	0.000E+000	Passed
18	N4965A-200@G0:18.0 (Ch0)	1.000 MHz	1.65 UI				Failed (No Sync)
19	N4965A-200@G0:18.0 (Ch0)	1.000 MHz	0.10 UI	2.998E+009	0.000E+000	0.000E+000	Passed
20	N4965A-200@G0:18.0 (Ch0)	1.000 MHz	0.41 UI				Failed (No Sync)
21	N4965A-200@G0:18.0 (Ch0)	1.000 MHz	0.20 UI	2.999E+009	0.000E+000	0.000E+000	Passed
22	N4965A-200@G0:18.0 (Ch0)	1.000 MHz	0.29 UI	1.735E+009	2.325E+006	1.340E-003	Failed (BER)

図17. ジッタ耐力の表形式表示。

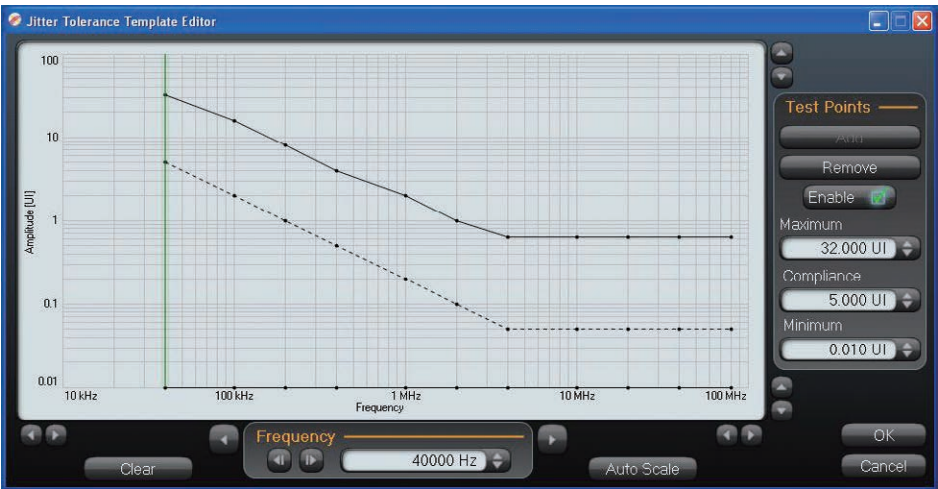


図18. テンプレートファイル。

代表的なアプリケーション

100Gイーサネット

100Gイーサネットは、光ネットワーク内のチップ間およびチップ-モジュール間の電気通信リンクを評価するための25 Gb/s次世代規格です。

下に示すサンプル構成(図19)では、4つの25 Gb/sレーンが必要です。このために、4台

の32 Gb/sパターンジェネレータ(N4951A-P32またはN4951B-H32/-D32)を光モジュールの入力に使用します。レシーバの電気出力を4台の32 Gb/sエラーディテクタに接続し、光モジュールをループバックモードでテストしています。

この構成では、4レーンすべてで非同期クロックをサポートしています。これは100GE-SR4システムコンポーネントの特性評価に必須の条件です。

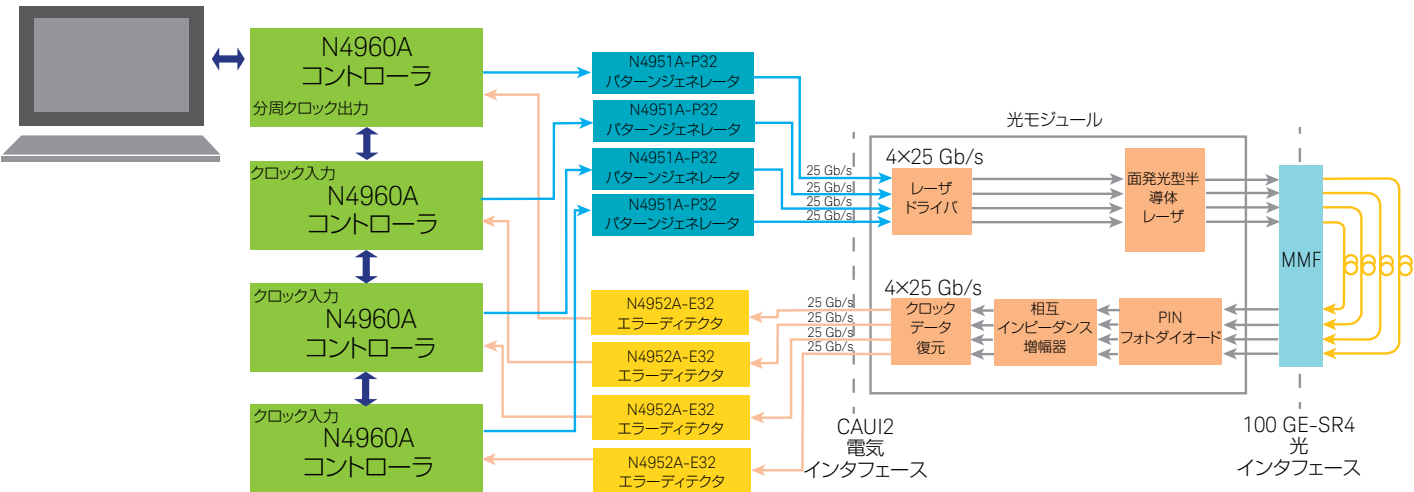


図19. 100 Gイーサネット用のテストセットアップ。

FPGAなどの通信ICにおける高速SerDesデザイン

FPGA、ASICなどの通信ICのデザインには、SerDes回路が組み込まれている場合が多くあります。組み込みを成功させるには、SerDes回路を組み込む前に完全にテストし、特性評価を行う必要があります。

図20に、SerDes内でループバックした受信データをテストする構成を示します。N4960A シ

リアルBERTをSerDesの送信側で使用すれば、BERとジッタ耐力を32 Gb/sまでのすべてのレートで測定できます。

N4980Aマルチ測定器制御ソフトウェアのパターン・エディタを使用すれば、特定のアプリケーション向けのストレスパターンやパターンストリームを設計できます。また、このソフトウ

ェアを使えば、BERテストやジッタ耐力テストのセットアップ/実行が簡単にできます。

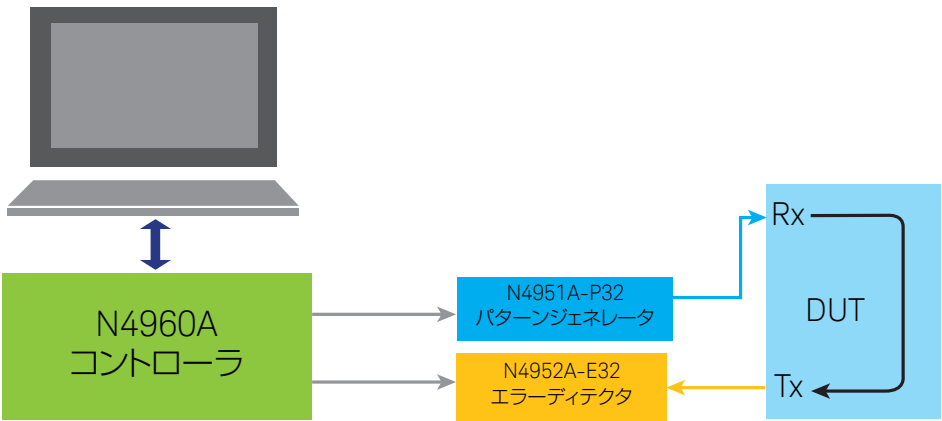


図20. 通信IC用のテストセットアップ。

16GFC

16GFCデバイスをテストするには、14.025 Gb/sに対応した機器が必要です。16GFCデバイスは、ストレージ、コンピューティング、通信の分野で用いられ、厳密な許容誤差で正確に評価する必要があります。

下の図は、17 Gb/s BERTシステムを使用する基本的な構成です。N4951A-P17(またはN4951B-H17/-D17)およびN4952A-E17には、16GFCに対する一般的なストレスパターンをロードできます。また、最長8 Mbの独自パターンをカスタム設計し、N4960A シリアルBERTにアップロードすることもできます。

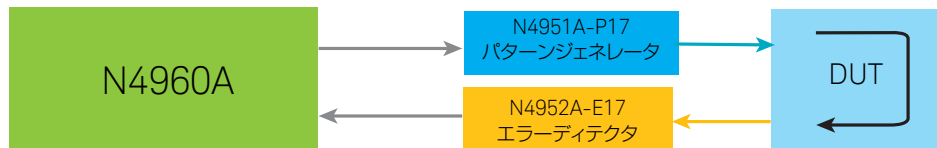


図21. 16GFC用のテストセットアップ。

ブロック図：32 Gb/sシリアルBERT

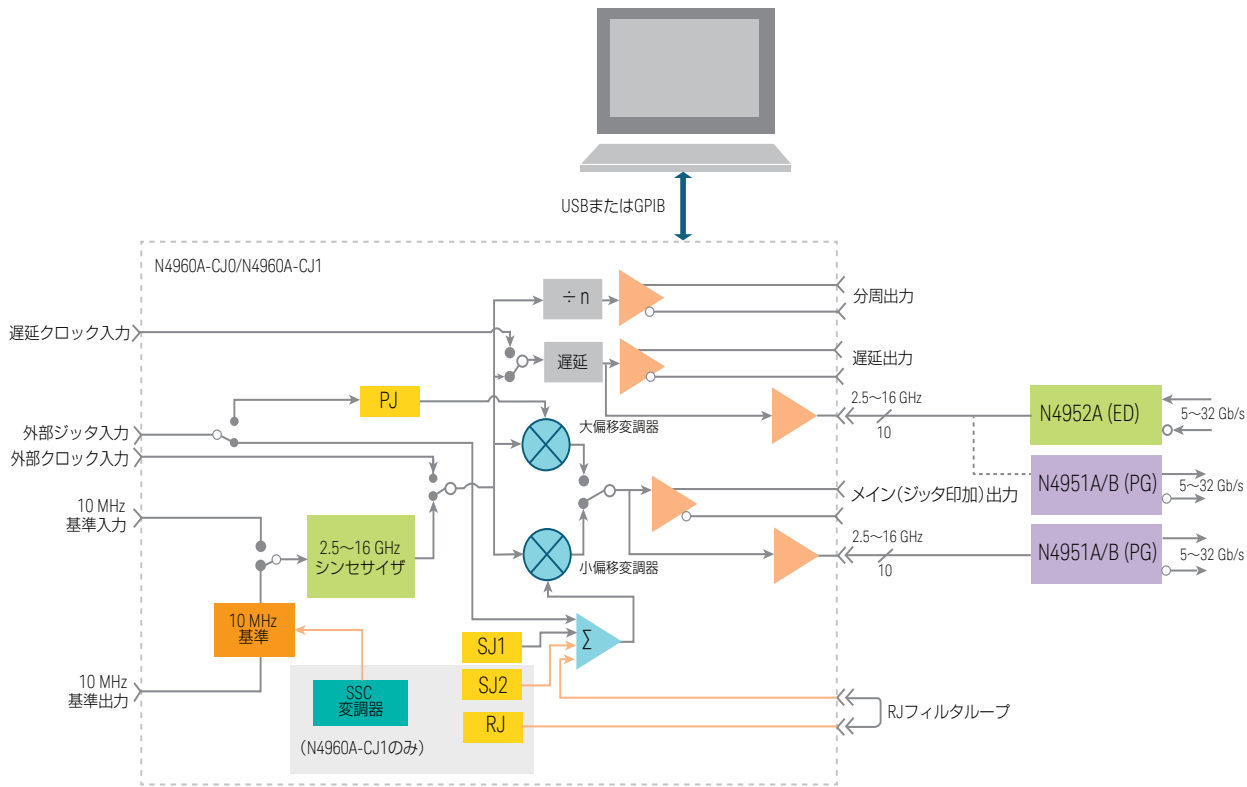


図22. ブロック図(32 Gb/sシステム)。

ブロック図：17 Gb/sシリアルBERT

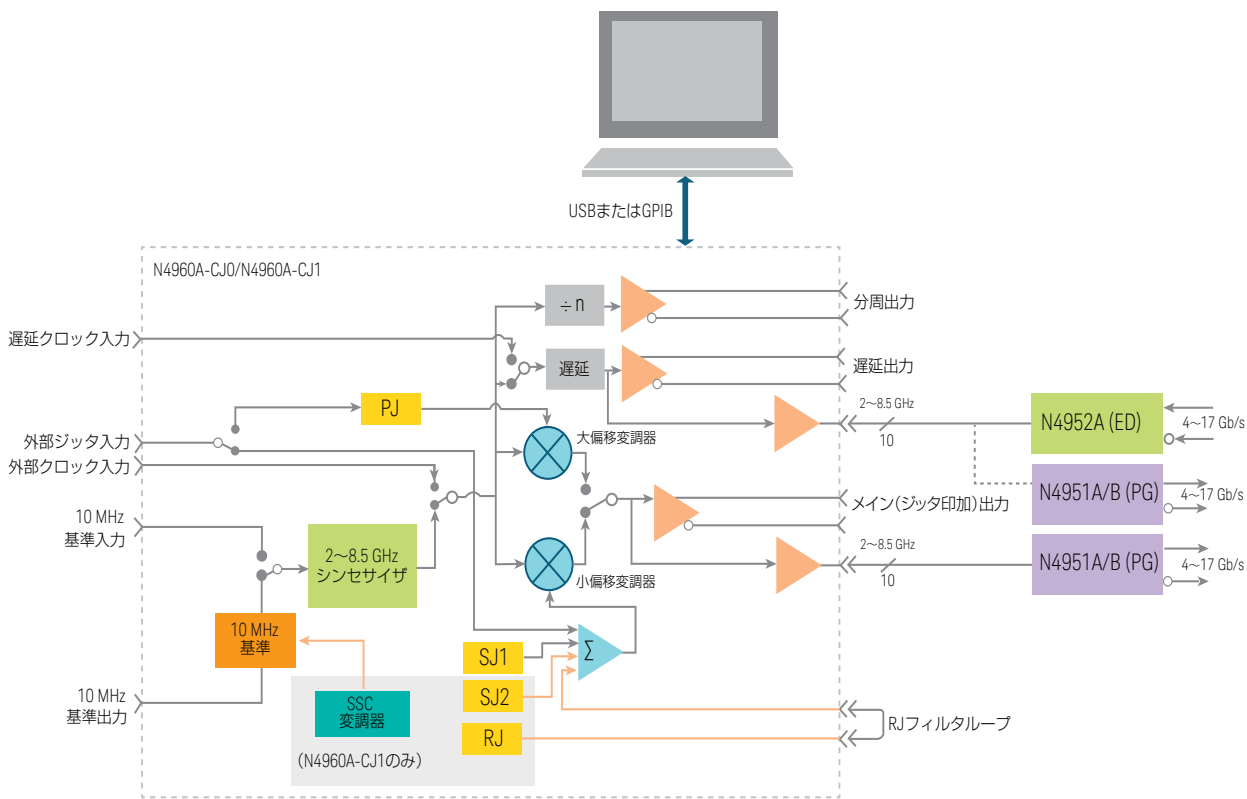


図23. ブロック図(17 Gb/sシステム)。

構成ガイド

ステップ1. コントローラの選択		
概要	N4960A-CJ0	N4960A-CJ1
周期ジッタ	√	√
シングルトーン正弦波ジッタ	√	√
マルチトーン正弦波ジッタ		√
ランダムジッタ		√
スペクトラム拡散クロック		√

ステップ2. パターンジェネレータの選択 ¹						
概要	N4951A		N4951B		N4951B	
	P17	P32	H17	H32	D17	D32
データレート、4 ~ 17 Gb/s	√		√		√	
データレート、5 ~ 32 Gb/s		√		√		√
データ出力コネクタ、2.92 mm	√	√				
データ出力コネクタ、2.4 mm			√	√	√	√
出力振幅、シングルエンド、 最大1.0 V(p-p)	√	√				
出力振幅、シングルエンド、 最大1.5 V(p-p)					√	√
出力振幅、シングルエンド、 最大3.0 V(p-p)			√	√		
立ち上がり時間(20 %~ 80 %)、 15 ~ 17 ps(代表値)	√	√			√	√
立ち上がり時間(20 %~ 80 %)、 12 ps(代表値)			√	√		
5タップ・ディエンファシス					√	√

1. N4960A遅延コネクタに接続するのに、別のパターンジェネレータを選択することもできます。

ステップ3. エラーディテクタの選択		
概要	N4952A-E17	N4952A-E32
データレート、4 ~ 17 Gb/s	√	
データレート、5 ~ 32 Gb/s		√

ステップ4. オプションのソフトウェアの選択	
概要	モデル番号
マルチ測定器制御ソフトウェア	N4980A
ジッタ耐力ソフトウェアパッケージ	N4980A-JTS

N4960Aクロックソース/BERTコントローラ仕様

構成	3つの差動出力を備えた周波数シンセサイザ：ジッタ、遅延、分周。クロックジェネレータのジッタクロックと遅延クロックは、リモートヘッドのポートコネクタ間で共有されます。パターンジェネレータやエラー・ディテクタ・リモートヘッドの動作中にコントローラのクロック出力パラメータを変更すると、動作に影響を与えます。パターンジェネレータとエラー・ディテクタ・リモートヘッドはハーフレートクロックで動作するため、リモートヘッドのデータレートは、コントローラのクロック周波数の2倍になります。
周波数	1 ~ 16 GHz(リモートヘッド未接続時) 2 ~ 8.5 GHz(1個または2個の17 Gb/sリモートヘッド接続時) 2.5 ~ 16 GHz(1個または2個の32 Gb/sリモートヘッド接続時)
周波数分解能	1 kHz(フロントパネル)
出力	ジッタ(ストレス印加あり)、遅延、分周(ストレス印加なし)
出力構成(すべての出力)	差動。振幅、オフセット、終端電圧の調整が可能 (未使用の出力を終端せずにシングルエンドで使用することも可能)
振幅レンジ	300 mV ~ 1.7 V(p-p)、シングルエンド
オフセットレンジ	-2.4 ~ +2.4 V(終端電圧により制限、図24を参照) 分周クロック出力では、分周比が2の階乗の場合のみ有効。
終端電圧レンジ	-2.4 ~ +2.4 V(オフセット電圧により制限、図24を参照)
立ち上がり時間(20 % ~ 80 %)	<23 ps(代表値)
固有ジッタ	<700 fs rms(代表値、2 ~ 16 GHz)
デューティサイクル	
ジッタおよび遅延出力	50 % ± 5 %
分周出力	50 % ± 5 % (分周比が2の階乗の場合) 分周比が2の階乗でない場合は、デューティサイクルが33 ~ 66 %の範囲で変動します。 50 % ± 10 % (分周比を1に設定し、振幅 ≥ 500 mVの場合)
周波数確度	±1 ppm(代表値)、±5 ppm(最大)
基準周波数	10.0 MHz、リアパネルのシングルエンド出力／入力
外部クロック	シングルエンド入力を内部シンセサイザの代わりに使用可能。すべてのクロックをドライブ
最大クロック入力振幅	2 V(p-p)
クロックの入力感度	200 mV(代表値)
外部遅延クロック入力	シングルエンド入力は遅延クロック出力のみをドライブ
最大遅延クロック入力振幅	2 V(p-p)
遅延クロックの入力感度	150 mV(代表値)
スペクトラム拡散クロック(N4960A-CJ1シリアルBERTコントローラのみ)	位相偏移がすべての出力に発生(内蔵シンセサイザのみ)
偏移レンジ	0 ~ 1.0 % (10,000 ppm)
変調周波数レンジ	1 Hz ~ 50 kHz
変調波の形状	三角波
偏移方向	ダウン拡散、センタ拡散、アップ拡散
分周クロックの分周比	÷1、2、3、…、99,999,999の範囲のすべての整数 (約1 MHz未満の分周クロックの波形は微分されます)
遅延クロックの遅延範囲	0 ~ ±1,000 UI
遅延クロックの遅延分解能	1 mUI
コネクタタイプ	
10 MHz基準入力／出力以外のすべての信号	SMA
10 MHz基準入力、出力	BNC

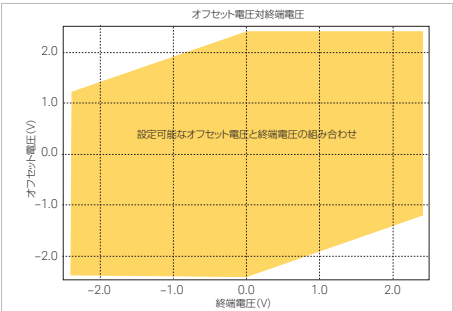


図24. 最大オフセットと終端電圧レンジ。

N4960Aクロックソース/BERTコントローラのジッタ仕様

構成	ジッタクロック出力およびジッタ・リモートヘッド・ポート・クロックへの校正済みストレスの印加は、2種類の変調器のうちの1つを使用して行われます。一方は大偏移低周波の経路、もう一方は小偏移高周波の経路です。フロントパネルのジッタクロック出力に現れるストレスの振幅は、N4951A/Bリモートヘッド・パターン・ジェネレータのデータ出力に現れる値の1/2になります(ジッタポートに接続されている場合)。フロントパネルのジッタクロック出力のストレス振幅を変更すると、パターンジェネレータのデータ出力に現れるレベルも変化します(ジッタポートに接続されている場合)。	
オプション		
N4960A-CJ0	シングルトーン正弦波ジッタ、小(SJ)／大(PJ)偏移、外部入力	
N4960A-CJ1	2つの内部正弦波ジッタ、真のランダム(RJ)ジッタ、外部入力	
SJ周波数レンジ	パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合： 1 Hz ～ 200 MHz N4951A/Bパターン・ジェネレータ・ヘッドがジッタポートに接続されている場合： 1 Hz ～ 150 MHz、200 MHzまでオーバプログラム可能	
SJ変調レンジ	SJ1およびSJ2のレンジ。SJ1+ SJ2+ RJ(p-p) + 外部ジッタの 合計最大ピークジッタが高周波バンド変調器に印加されます(図25および26を参照)	
パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合：		
フロントパネルの出力周波数： 1 GHz ～ 3 GHz	0 ～ 1.0 UI p-p(変調周波数1 Hz ～ 100 MHz)、 0 ～ 0.5 UI p-p(変調周波数>100 MHz ～ 200 MHz、1.0 UIまでオーバプログラム可能)	
フロントパネルの出力周波数： >3 GHz ～ 16 GHz	0 ～ 1.0 UI p-p(変調周波数1 Hz ～ 100 MHz)、 0 ～ 0.7 UI p-p(変調周波数>100 MHz ～ 200 MHz、1.0 UIまでオーバプログラム可能)	
N4951A/Bパターン・ジェネレータ・ヘッドがジッタポートに接続されている場合：		
フロントパネルの出力周波数： >2 GHz ～ 16 GHz	0 ～ 0.4 UI p-p(変調周波数1 Hz ～ 30 MHz、4 ～ 32 Gb/s) 0 ～ 0.165 UI p-p(変調周波数>30 MHz ～ 150 MHz、4 ～ 29 Gb/s) 0 ～ 0.1 UI p-p(変調周波数>30 MHz ～ 150 MHz、>29 ～ 31.5 Gb/s) 0.5 UIまでオーバプログラム可能	
RJ変調周波数特性	DCから変調器のバンドパスまでフラット：-3 dB(320 MHz)、500 MHzまで単極ロールオフ。ループスルー機能により、ユーザーがリアパネルでループにHPFまたはLPFを挿入して特性をカスタマイズ可能。公称インピーダンスは50 Ω。フィルタの挿入損失により、RJ変調度が校正值より低下します。	
RJ変調レンジ		
パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合：		
	0 ～ 25 mUI rms、外部フィルタの挿入損失に対処するため最大150 mUI rmsに設定可能。ただし>25 mUIの設定は未校正。高周波変調入力に印加されるSJ、RJ、外部入力のピーク和は制限されます。図25および26のSJ変調レンジ仕様を参照してください。	
N4951A/Bパターン・ジェネレータ・ヘッドがジッタポートに接続されている場合：		
	0 ～ 12 mUI rms、4 ～ 29 Gb/s 0 ～ 7 mUI rms、>29 ～ 31.5 Gb/s 25 mUIまでオーバプログラム可能	
RJクレストファクタ	最小14(p-p対rms比)	

外部高周波バンド入力

構成	広帯域小偏移外部変調入力。外部入力とはSJ1、SJ2、RJと加算されます。高周波バンドストレスは、低周波のPJ/外部入力を選択した場合は使用できません。
変調周波数レンジ	DC ～ 350 MHz未満、高周波変調器により決定。－3 dB帯域幅>320 MHz
変調レンジ	高周波変調入力に印加されるSJ、RJ、外部入力のピーク和は制限されます。図25および26のSJ変調レンジ仕様を参照してください。
低周波(大偏移)変調構成	周期ジッタ(PJ)または外部入力。SJ、RJおよび高周波外部変調源は、低周波信号源が有効にされた場合には使用できません。
低周波変調周波数レンジ	
PJ	1 Hz ～ 17 MHz
外部	1 Hz ～ 4 MHz
低周波PJ変調レンジ	
パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合： フロントパネルの出力周波数 1 ～ 16 GHz	0.001 ～ 100 UI(周波数≤62.5 kHz) 0.001 ～ (6.25E6÷PJ周波数)(周波数>62.5 kHz ～ 17 MHz)(図25を参照)
N4951A/Bパターン・ジェネレータ・ヘッドがジッタポートに接続されている場合： フロントパネルの出力周波数 >2 GHz ～ 16 GHz	0.001 ～ 50 UI(周波数≤62.5 kHz) 0.001 ～ (3.125E6÷PJ周波数)(周波数>62.5 kHz ～ 17 MHz)(図25および26を参照)
低周波外部変調レンジ	
パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合： フロントパネルの出力周波数 1 ～ 16 GHz	0.001 ～ 50 UI(周波数≤68.4 kHz) 0.001 ～ (3.42E6÷変調周波数)(周波数>68.4 kHz ～ 4 MHz)(図25を参照)
N4951A/Bパターン・ジェネレータ・ヘッドがジッタポートに接続されている場合： フロントパネルの出力周波数 >2 GHz ～ 16 GHz	0.001 ～ 25 UI(周波数≤68.4 kHz) 0.001 ～ (1.71E6÷変調周波数)(周波数>68.4 kHz ～ 4 MHz)(図25および26を参照)

パターン・ジェネレータ・リモートヘッドが接続されていない場合のN4960Aのクロック出力の最大変調レンジ

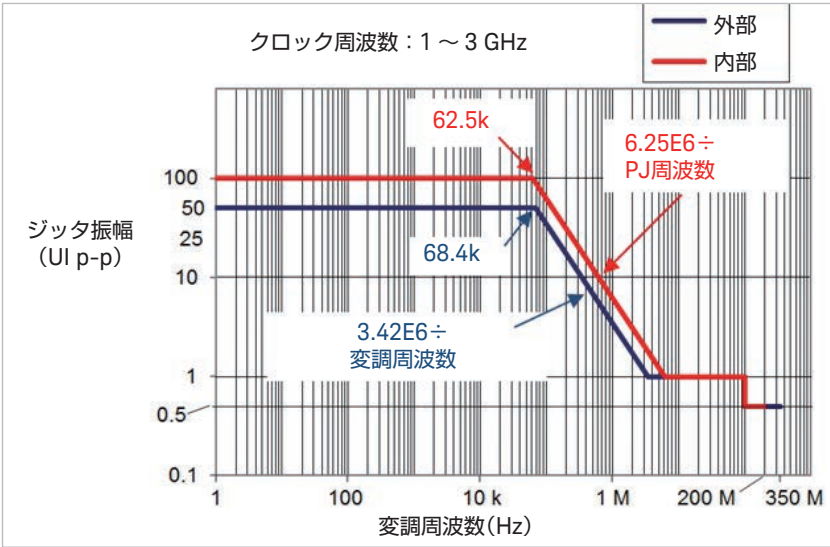


図25a. クロック周波数1 ～ 3 GHz。リモート・パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合のN4960Aのジッタクロック出力の最大変調振幅。

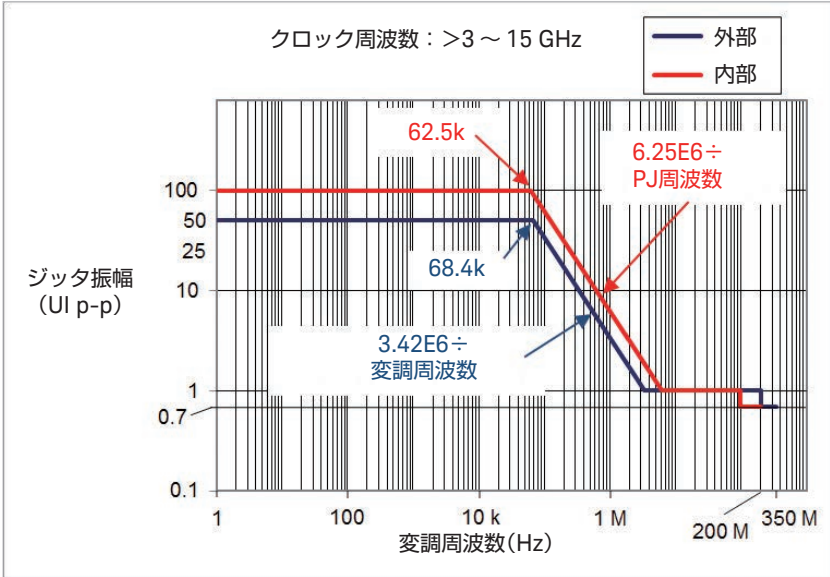


図25b. クロック周波数>3 ～ 15 GHz。リモート・パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合のN4960Aのジッタクロック出力の最大変調振幅。

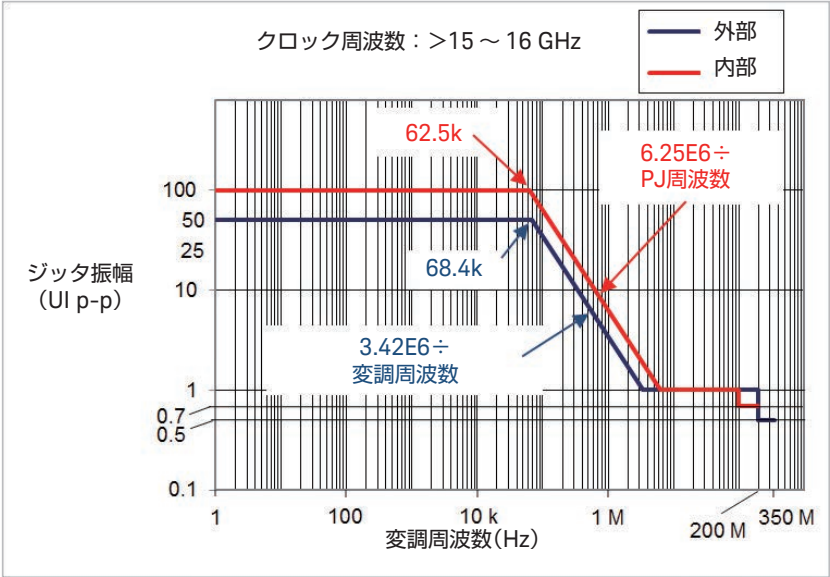


図25c. クロック周波数>15 ～ 16 GHz。リモート・パターン・ジェネレータ・ヘッドがジッタポートに接続されていない場合のN4960Aのジッタクロック出力の最大変調振幅。

パターン・ジェネレータ・リモートヘッドが接続されている場合のN4960Aのクロック出力とN4951A/Bのデータ出力の最大変調レンジ

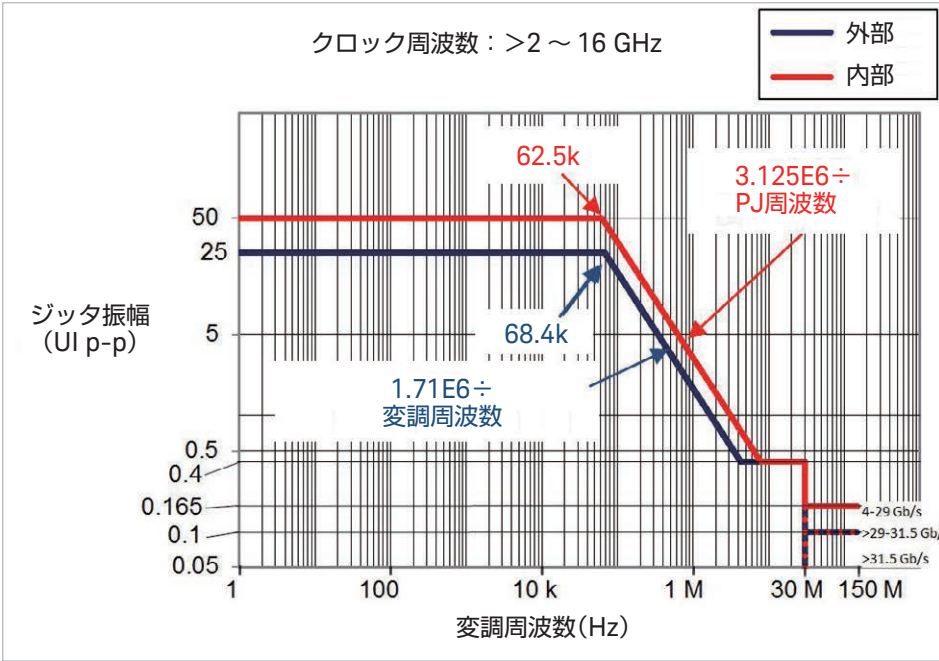


図26a. リモート・パターン・ジェネレータ・ヘッドがジッタポートに接続されている場合のN4960Aのジッタクロック出力の最大変調振幅。

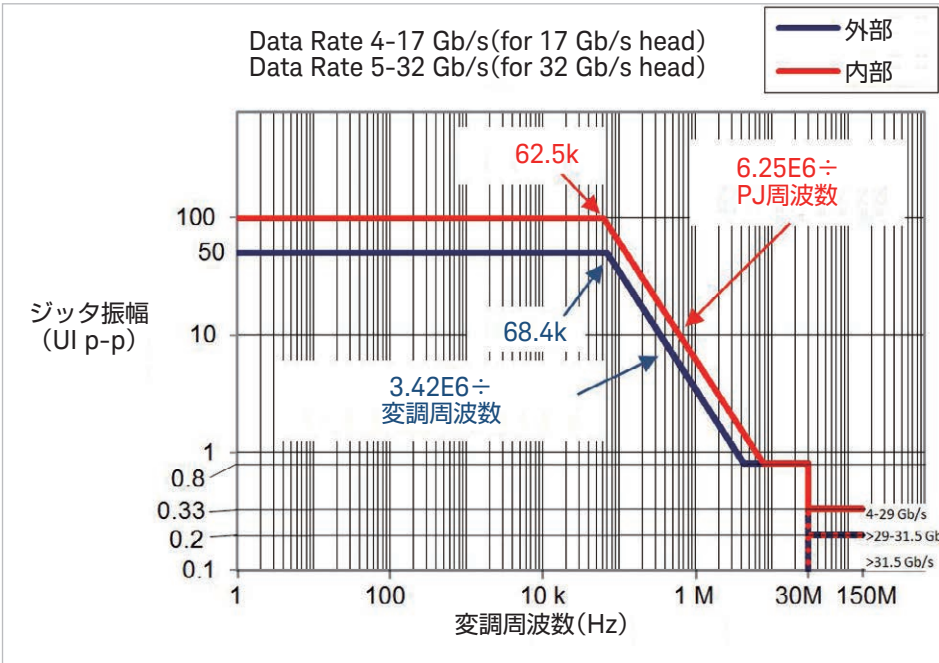


図26b. N4951A/Bパターン・ジェネレータ・リモートヘッドのデータ出力の最大変調振幅。

N4951A/N4951B⁷パターン・ジェネレータ・リモートヘッド仕様

構成	リモート・マウント・ヘッドとN4960A-CJ0/CJ1。		
データレートレンジ(N4951A-P32/ N4951B-H32/N4951B-D32)	5 ~ 32 Gb/s		
データレートレンジ(N4951A-P17/ N4951B-H17/N4951B-D17)	4 ~ 17 Gb/s		
データレート分解能	2 kb/s		
パターン選択			
PRBS(ハードウェア生成)	2 ⁿ -1、n=7、9、10、11、15、23、29、31、33、35、39、41、45、47、49、51		
電気通信／データ通信	K28.3、K28.5、K28.7、CJPAT、CJTPAT、CRPAT、JSPAT、JTSPAT		
クロック	÷2、÷4、÷8、...、÷64、÷2=0101、÷4=0011、...、÷64=32個の0の後に32個の1		
ユーザー	1ビット~8 Mb		
パターン反転	すべてのパターンで使用可能		
エラー挿入	単発またはレート設定ト		
エラー挿入レート	10 ⁻ⁿ 、n=3、4、5、6、7、8、9		
出力構成	差動。未使用の出力を50 Ωで終端せずにシングルエンドとして使用可能。 内部バイアスティーとAC結合。		
出力データコネクタ			
N4951A	2.92 mm(メス)		
N4951B	2.4 mm(メス)		
出力データ振幅			
N4951A	100 mV(p-p)~1.0 V(p-p)、シングルエンド、5 mVステップ		
N4951B-H17/N4951B-H32	300 mV(p-p)~3.0 V(p-p)、シングルエンド、5 mVステップ		
N4951B-D17/D32	300 mV(p-p)~1.5 V(p-p)、シングルエンド、5 mVステップ		
出力データ交差ポイント	35 ~ 65 %の範囲で調整可能		
オフセット電圧レンジ	-2 V~+2 V。オフセットレンジは終端電圧により制限		
終端電圧レンジ	-2 V~+2 V。終端電圧はオフセット電圧により制限		
出力データ遅延範囲	0 ~ ±2,000 UI ⁶ 、2 mUIステップ		
立ち上がり時間(20 %~80 %)			
N4951A-P17	17 ps(代表値)、20 ps(最大値) ^{1、3}		
N4951A-P32	16 ps(代表値)、20 ps(最大値) ^{2、3}		
N4951B-H17	12 ps(代表値)、15 ps(最大値) ^{1、4}		
N4951B-H32	12 ps(代表値)、15 ps(最大値) ^{2、4}		
N4951B-D17	16 ps(代表値)、20 ps(最大値) ¹		
N4951B-D32	15 ps(代表値)、19 ps(最大値) ²		
ジッタ ⁶			
N4951A	1.3 ps rms(代表値) ⁵		
N4951B-H17	<750 fs(代表値) ^{1、4、5}		
N4951B-H32	<650 fs(代表値) ^{2、4、5}		
N4951B-D17	<600 fs(代表値) ^{1、5}		
N4951B-D32	<650 fs(代表値) ^{2、5}		
ディエンファシス構成	5タップ：プリカーソル、ポストカーソル1、ポストカーソル2、ポストカーソル3		
N4951B-D17	プリカーソル	0 ~ +30 dB ⁸	
N4951B-D32のみ	ポストカーソル1	0 ~ -30 dB ⁸	
	ポストカーソル2	-30 ~ +30 dB ⁸	
	ポストカーソル3	-30 ~ +30 dB ⁸	

1. 14 Gb/sで
2. 28 Gb/sで
3. 1 V(p-p)振幅、シングルエンドで
4. ≥1 V(p-p)振幅、シングルエンドで
5. ジッタの実効値は、86100 DCAと、70 GHzリモートヘッド、精密タイムベース、外部クロック(Keysight E8257Dなど)によってドライブされたN4960Aを組み合わせて測定。
6. データ遅延仕様は、遅延ポートに接続されたパターンジェネレータだけに適用されます。
7. N4951Bパターン・ジェネレータ・ヘッドは、シリアル番号がUS53083001以上のKeysight N4960Aコントローラでのみサポートされています。それ以外の場合は、N4960Aコントローラ・アップグレードが必要です。
8. カーソルの振幅は、直前のカーソルを基準にして指定します。例えば、ポストカーソル1の振幅はメインカーソルの振幅が基準で、ポストカーソル2の振幅はポストカーソル1が基準で、ポストカーソル3の振幅はポストカーソル2が基準です。プリカーソルの振幅はポストカーソル3が基準です。

N4951A/N4951B⁷パターン・ジェネレータ・リモートヘッド仕様(続き)

SJ ¹ 周波数レンジ	1 Hz ~ 150 MHz、200 MHzまでオーバプログラム可能
SJ変調レンジ	SJ1およびSJ2のレンジ。SJ1+SJ2+RJ(p-p)+外部ジッタの合計最大ピークジッタが高周波バンド変調器に印加されます(図26を参照)。 0 ~ 0.8 UI p-p(変調周波数1 Hz ~ 30 MHz、4 ~ 32 Gb/s) 0 ~ 0.33 UI p-p(変調周波数>30 MHz ~ 150 MHz、4 ~ 29 Gb/s) 0 ~ 0.2 UI p-p(変調周波数>30 MHz ~ 150 MHz、>29 ~ 31.5 Gb/s) 1.0 UIまでオーバプログラム可能
RJ ¹ 変調レンジ	0 ~ 24 mUI rms、4 ~ 29 Gb/s 0 ~ 14 mUI rms、>29 ~ 31.5 Gb/s 50 mUI rmsまでオーバプログラム可能
低周波PJ ¹ 変調レンジ	0.002 ~ 100 UI(周波数≤62.5 kHz) 0.002 ~ (6.25E6÷PJ周波数)(周波数>62.5 kHz ~ 17 MHz)(図26を参照)
低周波外部変調レンジ	0.001 ~ 50 UI(周波数≤68.4 kHz) 0.001 ~ (3.42E6÷変調周波数)(周波数>68.4 kHz ~ 4 MHz)(図26を参照)
高周波外部変調レンジ	図20を参照
インジケータ	Ch ID—N4960Aチャンネルに接続 Atten—エラー条件が発生し、エラーログに記録 On—データ出力オン

1. ジッタ注入仕様(SJ、PJ、RJ、Ext)は、ジッタポートに接続されたパターンジェネレータだけに適用されます。

N4952A-E32/-E17エラー・ディテクタ・リモートヘッド仕様

構成	リモート・マウント・ヘッドとN4960A-CJ0/CJ1。
データレートレンジ(N4952A-E32)	5 ~ 32 Gb/s
データレートレンジ(N4952A-E17)	4 ~ 17 Gb/s
データレート分解能	2 kb/s
パターン選択	
PRBS(ハードウェア生成)	2n-1, n=7, 9, 10, 11, 15, 23, 29, 31, 33, 35, 39, 41, 45, 47, 49, 51
電気通信／データ通信	K28.3, K28.5, K28.7, CJPAT, CJTPAT, CRPAT, JSPAT, JTSPAT
クロック	÷2, ÷4, ÷8, ..., ÷64. ÷2=0101, ÷4=0011, ..., ÷64=32個の0の後に32個の1
ユーザー	1ビット~ 8 Mb
入力構成	差動。未使用の入力を50 Ωで終端することでシングルエンドとして使用可能(終端は付属)。 内部バイアスティーとAC結合
入力コネクタ	2.92 mm(メス)
最大入力振幅	1 V(p-p)シングルエンド、2 V(p-p)差動
入力感度	<85 mV(p-p)シングルエンド ¹ (代表値: <50 mV)
終端電圧	-2 V ~ +2 V
入力データ遅延範囲	0 ~ ±2,000 UI、2 mUIステップ
入力データのディシジョンしきい値範囲	-1 V ~ +1 V、1 mVステップ
インジケータ	Ch ID - N4960Aチャンネルに接続 Run - BER測定実行中 Errors - ビットエラー発生 Data loss - データ未検出 Sync loss - 入力データストリームとの同期なし Atten - エラー条件が発生し、エラーログに記録

1. ≤28 Gb/sで

一般仕様

リモート制御インタフェース	USB2.0およびIEEE-488 (GPIB)
AC電源仕様	
電圧	100 ~ 240 Vac、オートレンジ
周波数	50 ~ 60 Hz
消費電力	170 W(最大値)
温度(動作時)	+15 ~ +35 °C
温度(保管時)	-40 ~ +70 °C
寸法(高さ、幅、奥行き)	
N4960A	100 mm×214 mm×425 mm
N4951A	50 mm×109 mm×222 mm
N4952A	50 mm×109 mm×222 mm
N4951B	50 mm×109 mm×273 mm
PG/EDケーブル長	1.0 m
質量	
N4960A	3.2 kg
N4951A(ケーブル付き)	0.86 kg
N4952A(ケーブル付き)	0.86 kg
N4951B(ケーブル付き)	1.0 kg

規制適合

EMC		
欧州EMC指令2004/108/ECに準拠		<ul style="list-style-type: none">IEC/EN 61326-1CISPR Pub 11グループ1、クラスAAS/NZS CISPR 11ICES/NMB-001
		このISMデバイスは、カナダのICES-001に準拠しています。 Cet appareil ISM est conforme a la norme NMB-001 du Canada.
安全規格		
欧州低電圧指令2006/95/ECに準拠		<ul style="list-style-type: none">IEC/EN 61010-1カナダ：CSA C22.2 No. 61010-1米国：UL規格No. 61010-1
ドイツ音響ステートメント		
音響雑音放射	Geraeuschemission	
LpA<70 dB	LpA<70 dB	
オペレータ位置	Am Arbeitsplatz	
ノーマル位置	Normaler Betrieb	
ISO 7779に準拠	Nach DIN 45635 t.19	

オーダー情報

動作に必要なアクセサリはすべてシステムに付属しています(下表を参照)。別途購入する必要はありません。

N4960Aアクセサリ

パーツ番号	数量	概要
12260-002	1	ヒューズ、2 A 250 V 5×20 mm、セラミック
12310-025	1	ループバックケーブル(オプションCJ1のみ、リアパネルに配置)

N4951A/N4952Aアクセサリ

パーツ番号	数量	概要
1810-0118	1	50 Ω終端、SMA
N4960-60018	2	ケーブル、2.92 mm(オス-オス)、約14 cm
N4960-60026	2	ケーブル、2.92 mm(オス-メス)、約14 cm
N4960-60023	1	ケーブル、combo-D、1 m(コントローラをリモートヘッドに接続)

N4951Bアクセサリ

パーツ番号	数量	概要
08490-60012	2	10 dBアッテネータ、2.4 mm(オプションH17、H32のみ)
11904-60004	2	アダプタ、2.4 mm(メス)-2.92 mm(オス)
85138-60002	1	50 Ω終端、2.4 mm
N4960-60006	2	ケーブル、1.85 mm(オス-オス)、約14 cm
N4960-60023	1	ケーブル、combo-D、1 m(コントローラをリモートヘッドに接続)

オーダー情報(続き)

シリアルBERT 32 Gb/s

モデル番号	概要
N4960A-CJ0シリアルBERTコントローラ	シリアルBERTコントローラ
N4960A-CJ1シリアルBERTコントローラ	シリアルBERTコントローラ(マルチトーンジッタ注入機能搭載) (ジッタ印加機能付き)
N4951A-P32	5 ~ 32 Gb/sパターン・ジェネレータ・リモートヘッド
N4951B-H32	5 ~ 32 Gb/sパターン・ジェネレータ高振幅リモートヘッド
N4951B-D32	5 ~ 32 Gb/sパターン・ジェネレータ(5タップ・ディエンファシス・リモートヘッド付き)
N4952A-E32	5 ~ 32 Gb/sエラー・ディテクタ・リモートヘッド

シリアルBERT 17 Gb/s

モデル番号	概要
N4960A-CJ0シリアルBERTコントローラ	シリアルBERTコントローラ
N4960A-CJ1シリアルBERTコントローラ	シリアルBERTコントローラ(マルチトーンジッタ機能搭載) (ジッタ印加機能付き)
N4951A-P17	4 ~ 17 Gb/sパターン・ジェネレータ・リモートヘッド
N4951B-H17	4 ~ 17 Gb/sパターン・ジェネレータ高振幅リモートヘッド
N4951B-D17	4 ~ 17 Gb/sパターン・ジェネレータ(5タップ・ディエンファシス・リモートヘッド付き)
N4952A-E17	4 ~ 17 Gb/sエラー・ディテクタ・リモートヘッド

モデル番号	概要
N4980A	マルチ測定器BERTソフトウェア
N4980A-JTS	ジッタ耐力ソフトウェアパッケージ

保証／校正サービス

保証／校正サービスについては、お近くのキーサイト正規販売店またはキーサイト計測お客様窓口までお問い合わせください。

myKeysight

myKeysight

www.keysight.co.jp/find/mykeysight

ご使用製品の管理に必要な情報を即座に手に入れることができます。

AXIe

www.axiestandard.org

AXIe (AdvancedTCA® Extensions for Instrumentation and Test) は、AdvancedTCA® を汎用テストおよび半導体テスト向けに拡張したオープン規格です。Keysight は、AXIe コンソーシアムの設立メンバーです。

LXI

www.lxistandard.org

LXI は、Web へのアクセスを可能にするイーサネットベースのテストシステム用インタフェースです。Keysight は、LXI コンソーシアムの設立メンバーです。

PXI

www.pxisa.org

PXI (PCI eXtensions for Instrumentation) モジュール測定システムは、PC ベースの堅牢な高性能測定 / 自動化システムを実現します。

DEKRA Certified
ISO 9001:2008
Quality Management System

www.keysight.com/go/quality

Keysight Electronic Measurement Group
DEKRA Certified ISO 9001:2008
Quality Management System

契約販売店

www.keysight.co.jp/find/channelpartners

キーサイト契約販売店からご購入頂けます。
お気軽にお問い合わせください。

www.keysight.co.jp/find/N4960A

キーサイト・テクノロジー合同会社

本社 〒192-8550 東京都八王子市高倉町9-1

計測お客様窓口

受付時間 9:00-18:00 (土・日・祭日を除く)

TEL ☎ 0120-421-345 (042-656-7832)

FAX ☎ 0120-421-678 (042-656-7840)

Email contact_japan@keysight.com

ホームページ www.keysight.co.jp

記載事項は変更になる場合があります。
ご発注の際はご確認ください。